

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087619

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 09-267824

(71)Applicant : NEW JAPAN RADIO CO LTD

(22)Date of filing : 12.09.1997

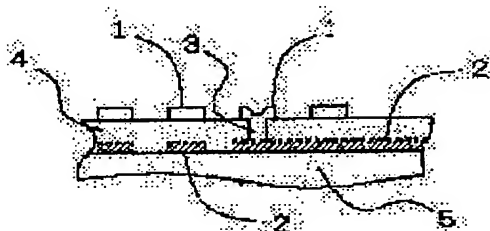
(72)Inventor : TAKIGUCHI KOJI

(54) INDUCTOR FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the resistance of an inductor, by forming a coil of a wiring provided at each layer having an insulating film and a thin film wiring at the same position of the each layer with its part or entire area as the same pattern, providing a via hole for coupling the layers at both ends of the wiring, and wiring-connecting the layers.

SOLUTION: A thin film wiring 2 and an outgoing wiring thin film (first layer thin film wiring) 2 are formed on a first layer insulating film 5 provided on a semiconductor substrate. The film 5 and the wiring 2 of the first layer are covered with a second layer insulating film 4 by a CVD method or the like, and a spiral second layer thin film wiring 1 of substantially the same pattern as the first layer spiral thin film wiring is formed on the film 4 by a step of sputter etching or the like. Via holes 3 for coupling the outgoing and both layers are formed by etching at a center of the wiring 1 and both ends of the wiring having the same first and second wiring patterns, and wiring-connected at a step of sputtering.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-87619

(43)公開日 平成11年(1999)3月30日

(51)Int.Cl.
H01L 27/04
21/822

識別記号

F I
H01L 27/04

L

審査請求 未請求 請求項の数 2 F D (全4頁)

(21)出願番号 特願平9-267824

(22)出願日 平成9年(1997)9月12日

(71)出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72)発明者 滝口 幸司

埼玉県上福岡市福岡二丁目1番1号 新日

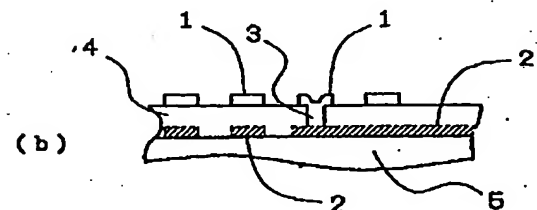
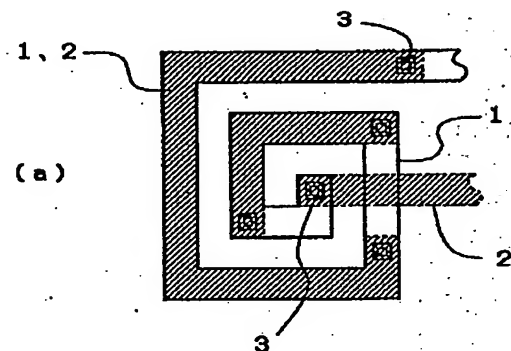
本無線株式会社川越製作所内

(54)【発明の名称】 半導体装置用インダクタ

(57)【要約】

【課題】 従来、半導体基板上の絶縁膜上に設けられ、薄膜状の配線で構成される半導体装置用インダクタにおいては、特にGHz帯程度以上の高周波帯では、配線厚さによるQ特性の改善には難点があった。この問題を解消したQ特性の改善に効果のある半導体装置用インダクタを提供する。

【解決手段】 絶縁膜及び配線よりなる層を多層に形成し、前記各層のコイル部配線は、該配線の一部分又は全域を同一パターンとして各層の同位置に形成し、且つ前記により同一パターンとした配線部分の両端部に、各層間を連結するビアホールを設け配線接続した。



【特許請求の範囲】

【請求項1】 半導体基板上に、絶縁膜と該絶縁膜の上に形成した薄膜配線とよりなる層を、多層に形成してなる半導体装置用インダクタにおいて、前記各層に設ける配線のコイル部は、該コイル部の一部分又は全域を同一パターンとして各層の同位置に形成し、且つ前記により同一パターンとした配線部分の両端部に、各層間を連結するビアホールを設け、配線接続してなることを特徴とする半導体装置用インダクタ。

【請求項2】 半導体基板上に、絶縁膜と該絶縁膜の上に形成した薄膜配線とよりなる層を、多層に形成してなる半導体装置用インダクタにおいて、前記各層に設ける配線のコイル部は、該コイル部の一部分又は全域を同一パターンとして各層の同位置に形成し、且つ前記により同一パターンとした配線部分に沿い各層間を連結する溝状のビアホールを設け、配線接続してなることを特徴とする半導体装置用インダクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高周波用ICの内部に、受動素子の一つとして設けられるインダクタに関する。

【0002】

【従来の技術】従来、高周波用IC内部に作り込まれるインダクタとして、スパイラル型インダクタがある。

【0003】図3(a)は、スパイラル型インダクタの平面図、同(b)はその断面図を示す。

【0004】スパイラル型インダクタは、通常図3に示すように、2層構造で形成されている。半導体基板上に設けられた絶縁膜5上に引出し配線2が形成され、これらを被って第2層の絶縁膜4が設けられ、その上に金属薄膜配線よりなる渦巻き状のコイルが形成され、同コイルの中心端は絶縁膜4に開けられたビアホール(viahole)3を介して引出し配線2に接続されている。

【0005】

【発明が解決しようとする課題】周知のように薄膜配線で構成されるインダクタのQ特性は配線の厚さを厚くしコイルの抵抗値を小さくすることにより改善される。

【0006】しかし、GHz帯程度以上の高周波帯域で使用されるインダクタでは、表皮効果により電流が導体表面に集中するので配線厚さ(断面積)の増加による抵抗値の減少は小さくなり、Q特性は厚さに対し比例的には改善されなくなる。

【0007】また、図3に示したようなスパイラル型インダクタでは、2層配線にするために配線の厚さを余り大きく取れないという問題がある。

【0008】本発明は、上記問題点を解消した、Q特性の改善に有効な構造の半導体装置用インダクタを提供しようとするものである。

【0009】

【課題を解決するための手段】本発明の半導体装置用インダクタは、絶縁膜と該絶縁膜の上に形成した薄膜配線とよりなる層を、多層に形成して構成し、前記各層に設ける配線のコイル部は、該コイル部の一部分又は全域を同一パターンとして各層の同位置に形成し、且つ前記により同一パターンとした配線部分の両端部に、各層間を連結するビアホールを設け、配線接続した。

【0010】また、上記と同様な多層構造において、前記ビアホールは、同一パターンとしたコイル部配線に沿って溝状に設けた。

【0011】インダクタの構成を上記のようにすることにより、コイル部の一部又は全域が電氣的に並列接続されることになり。コイル部配線の抵抗値が低減される。

【0012】

【発明の実施の形態】図1は、本発明の半導体装置用インダクタの一実施例の説明図であり、(a)はその平面図、(b)はその断面図である。以下、概略の製作手順を述べながら本実施例の構造を説明する。

【0013】Si等の半導体基板上に設けられたSiO₂等よりなる絶縁膜(第1層絶縁膜)5の上に、Al、Au等よりなるスパイラル状の薄膜配線2及び引出し用の薄膜配線(第1層薄膜配線)2がスパッタ、エッチング等の工程により形成される。図中、これら第1層の薄膜配線2が形成されている部分はハッチングで示されている。本例では、スパイラル配線の一部は引出し線とクロスしないように配線が省略されている。

【0014】上記第1層の絶縁膜5及び配線2を被ってSiO₂等よりなる絶縁膜(第2層絶縁膜)4が、CVD等により形成され、更にその上に、上記第1層のスパイラル状薄膜配線とほぼ同様なパターンのスパイラル状の薄膜配線(第2層薄膜配線)1がスパッタ、エッチング等の工程により形成される。

【0015】また、上記薄膜配線1の中心部及び第一層、第2層の配線パターンが同一な配線部分の両端部には、引出し用及び両層を連結するためのビアホール3がそれぞれエッチングにより形成されており、上記スパッタ工程で配線接続される。

【0016】上記のように構成することにより、コイル部の配線の大部分を並列に接続した状態となり、抵抗値が低減される。

【0017】次に、図2は、本発明の半導体装置用インダクタの別の実施例の説明図であり、(a)はその平面図、(b)はその断面図である。

【0018】本実施例では、第1層、第2層とも同一パターンのスパイラル状の薄膜配線1及び2が形成されており、これら配線の全域に沿って連続的に溝状のビアホール3が形成され、配線接続されている。本インダクタでは、コイル中心端からの引出しは金線等のワイヤ6によりなされる。

【0019】本構造のものである、ビアホール3部分の配

線が抵抗値の低減に寄与するので、低減効果は更に大きくなる。

【0020】本発明のインダクタは、上記図1、図2に示したような2層構造のものに限られることはなく、更に多層構造にし、より効果を高めることが可能であるが、上述の構造のもので、従来構造のものに比べ、抵抗値を1/2～2/3程度に下げることができる。

【0021】また、本発明インダクタの実施例として、スパイラル型インダクタに適用した場合を示したが、メ

【0022】

【発明の効果】以上説明したように、本発明の半導体装置用インダクタでは、絶縁膜と該絶縁膜の上に形成した薄膜配線とよりなる層を、多層に形成し、各層に設けるコイル部配線は、該配線の一部分又は全域を同一パターンとして各層の同位置に形成するとともに、同一パターンとした配線部分の両端部に各層間を連結するビアホールが設けられ、各層のコイル部の一部又は全域が電氣的に並列接続されるように構成されるので、インダクタの抵抗値が低減され、結果的に、Q特性が改善される。

【0023】また、同一パターンとした配線部分に沿い各層間を連結する溝状のビアホールを設けたものでは、ビアホール内の配線部分も抵抗値の低減に寄与するの

で、より効果的になる。

【0024】本発明におけるインダクタの抵抗値低減は、薄膜配線の厚さによるものではなく、薄膜配線を多層に形成したことにより得られものであり、表皮効果による低減効果の低下を生じることがないので、GHz帯程度以上の高周波帯域で使用されるインダクタにおいても、十分な効果をもつ。

【0025】また、本発明インダクタの構成は、実施例として挙げたスパイラル型インダクタに限らず、メアンダ型インダクタ等についても有効に適用できる。

【図面の簡単な説明】

【図1】本発明の半導体装置用インダクタの一実施例の平面図及び断面図である。

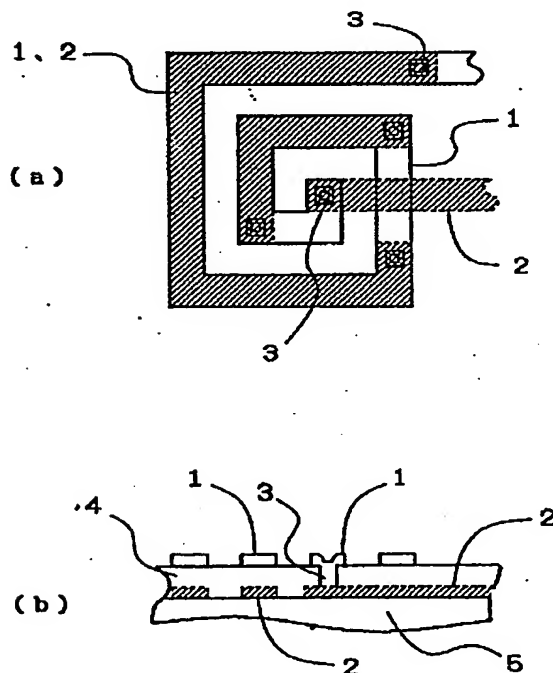
【図2】本発明の半導体装置用インダクタの別の実施例の平面図及び断面図である。

【図3】従来のスパイラル型インダクタの平面図及び断面図である。

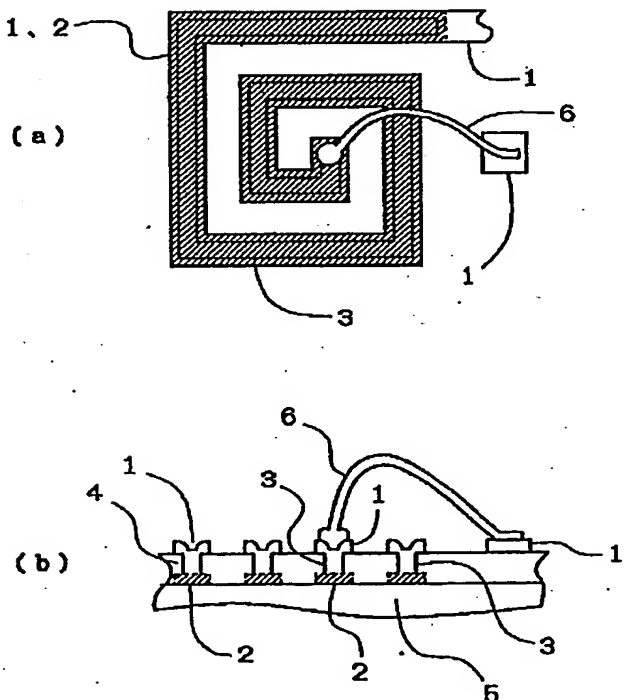
【符号の説明】

- 1 第2層コイル部配線
- 2 第1層コイル部配線又は引出し配線
- 3 ビアホール
- 4 第2層絶縁膜
- 5 第1層絶縁膜
- 6 ワイヤ

【図1】



【図2】



【図 3】

